

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-171822

⑬ Int.Cl.<sup>4</sup>  
H 03 H 9/17

識別記号

庁内整理番号  
7190-5J

⑭ 公開 昭和60年(1985)9月5日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 圧電薄膜共振子

⑯ 特 願 昭59-25980

⑰ 出 願 昭59(1984)2月16日

⑱ 発 明 者 児 玉 利 一 川崎市幸区小向東芝町1 東京芝浦電気株式会社総合研究  
所内

⑲ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 則 近 憲 佑 外1名

明 細 書

1. 発明の名称

圧電薄膜共振子

2. 特許請求の範囲

半導体結晶基板を振動板の支持部材とする圧電薄膜共振子において、前記半導体結晶基板上に一層または多層の誘電体膜を設け、その誘電体層の実効的厚みが、場所により異なることを特徴とする圧電薄膜共振子。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、シリコン基板上に圧電性薄膜を形成するとともに、圧電性薄膜と対向するシリコン基板の他面に異方性エッチング処理等で凹部を形成した高周波用ダイヤフラム型圧電共振子に関する。

〔発明の技術的背景とその問題点〕

従来から圧電体基板の厚み振動を利用した圧電共振子が実用化されているが、このような厚み振動を利用した素子では構造上圧電基板の厚みを数10 $\mu$ m以下にすることは困難であり、基本動作周

波数としては百MHz以下であった。しかし近年百MHz以上の高い周波数で動作可能なダイヤフラム型圧電共振子が報告されている。その一例として、第1図にZnO/SiO<sub>2</sub>/Siダイヤフラム構造の圧電共振子の基本構造例を示す。このようなダイヤフラム型圧電共振子は、一般に次のような比較的簡単な工程で作られる。まずSi(1)を鏡面研磨した後、ウェーハの両面に熱酸化等によりSiO<sub>2</sub>膜(2)、(3)を形成する。次にウェーハ裏面のSiO<sub>2</sub>膜(3)の一部をエッチングにより除去する。その後、残存したSiO<sub>2</sub>膜を保護膜として、Si層を選択性エッチングする。この選択性エッチングはSi基板上部のSiO<sub>2</sub>膜(2)まで達すると停止する。このようにして形成されたSiO<sub>2</sub>/Siダイヤフラム上に励振用下部電極(4)を金属の蒸着で形成し、更に十数 $\mu$ m程度のZnO、AlN等の圧電薄膜(5)をマグネトロンスパッタ法等により形成し、最上部に励振用上部電極(6)を蒸着で形成すれば、ダイヤフラム型圧電共振子となる。

このようなダイヤフラム型圧電共振子は、厚み

縦振動または厚みすべり振動等の電気機械結合係数が比較的大きくなる振動を用いているため、この周波数帯で結合する弾性表面波を利用した共振子と比較して容量比を小さくすることが可能であり、フィルタを構成した場合広帯域特性が実現しやすいこと、更に弾性表面波とは反射器構造が異なり、単なる自由面を反射面として用いることが出来るため、極めて小形になること等の利点がある。しかし、第1図に示した従来のダイヤフラム型圧電振動子には次のような欠点がある。つまりその構造上、Si基板(1)と、下部電極(4)との間には、キャパシタンス $C_{p1}$ (7)が存在し、上部電極(6)とSi基板との間にはキャパシタンス $C_{p2}$ (8)が存在する。従って、下部電極と上部電極との間には振動系のアドミタンスの他に、これら2つのキャパシタンス $C_{p1}$ 、 $C_{p2}$ とその間のSi基板抵抗 $R_p$ (9)が直列接続されたものが相加されることになる。この場合の等価回路は、第2図のようになり、ここで $L$ 、 $O$ 、 $R$ 、 $O$ は通常の共振系を表わすインピーダンス要素であり、 $O_p$ は上記2つのキャパシ

タンス $C_{p1}$ 、 $C_{p2}$ が直列接続された値で $O_p = C_{p1} \cdot C_{p2} / (C_{p1} + C_{p2})$ である。第1図から容易に分かるように、 $O_p/O_o$ が大きい程、また $W_r/O_o R_p$ ( $W_r$ は共振周波数)が小さい程反共振周波数は低くなり、また反共振点におけるアドミタンスのへこみ量が小さくなることがわかる。この現象は、ダイヤフラム型圧電共振子を用いてフィルタを構成する場合には、挿入損の増加、保証減衰量の劣下等の原因となり大きな問題となる。

#### 〔発明の目的〕

この発明は上記欠点を解決するために成されたもので、寄生容量 $O_p$ を小さくし、フィルタを構成した場合挿入損、保証減衰量等の劣下を生じさせない圧電薄膜共振子を提供するものである。

#### 〔発明の概要〕

すなわち本発明では、下部電極及び上部電極とSi基板との間のキャパシタンス $C_{p1}$ 、 $C_{p2}$ を小さくするため、電極部とSi基板間の一部に厚い誘電体層を設けることを特徴とするものである。

#### 〔発明の効果〕

このような本発明によると、電極部とSi基板間の容量を低減することができ、フィルタを構成した場合挿入損、保証減衰量等の劣下の生じない圧電薄膜共振子を得ることができる。

#### 〔発明の実施例〕

以下図面を参照して、この発明の説明をする。第3図は、この発明に係る圧電薄膜共振子の一実施例を示す。第3図において、誘電体層(2)は圧電共振子の共振系に関係しない部分で、その厚さを大きくしてあり、これにより電極部とSi基板間の容量を低減することができる。このような厚い誘電体層は、通常のスパッタリング、蒸着、イオンプレーティング、OVD等の方法により容易に構成することができる。また誘電体材料としてはできるだけ誘電率の小さいものが望ましく、例えば $SiO_2$ 、 $Al_2O_3$ 、 $Si_3N_4$ 等が考えられる。

第3図の実施例では、下部電極(4)及び上部電極(6)の両方共、厚い誘電体層を介して設けているがどちらか一方の電極のみを厚い誘電体層を設けるようにしてもよい。また第4図に示すように、誘

電体層を圧電薄膜を挟むように2層に分けて設けても、同様の効果が得られる。

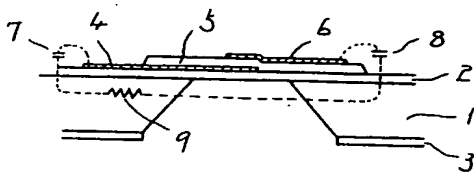
#### 4. 図面の簡単な説明

第1図は従来の圧電薄膜共振子の構造を示す断面図、第2図はその等価回路図、第3図は本発明による圧電薄膜共振子の一実施例を示す断面図、第4図は本発明の他の実施例を示す断面図である。

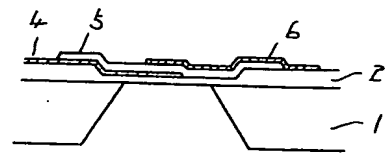
1…半導体結晶基板、2、3…誘電体、4…下部電極、5…圧電薄膜、6…上部電極。

代理人 弁理士 則 近 憲 佑 (ほか1名)

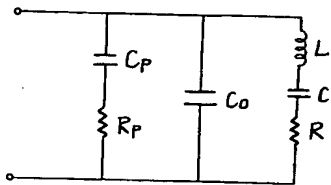
第 1 図



第 3 図



第 2 図



第 4 図

